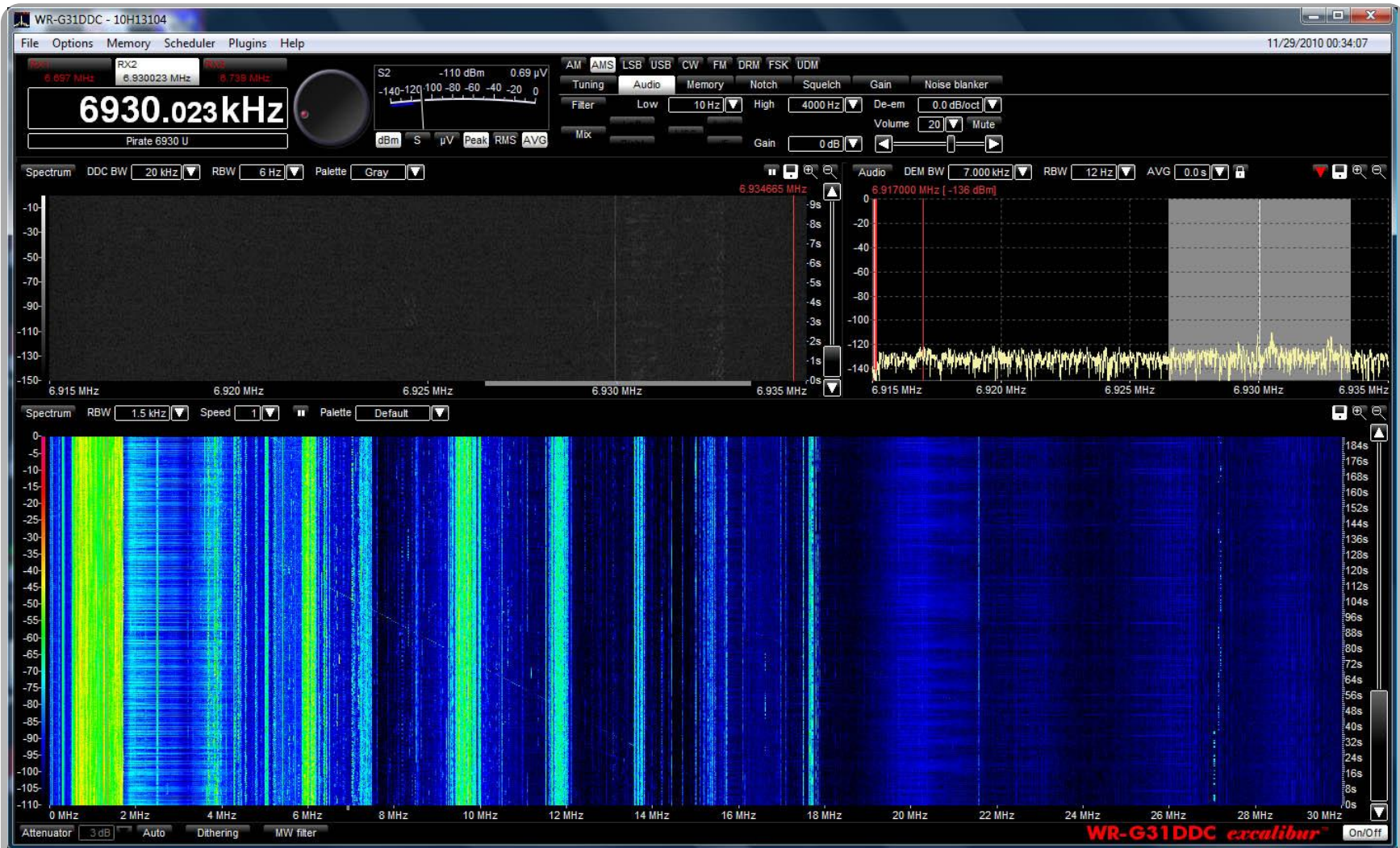


Seda ja teist SDR-ist

ERAÜ Talvepäev, 11. Veebruar 2012
Andrus Aaslaid, ES1UVB

- Software Defined Radio
- Mingilt maalt tegeleb signaaliga arvuti (loe: tarkvara), ehk siis signaal muudetakse digitaalseks
- “Mingi maa” ei ole defineeritud

Mida nimetada SDR-iks?

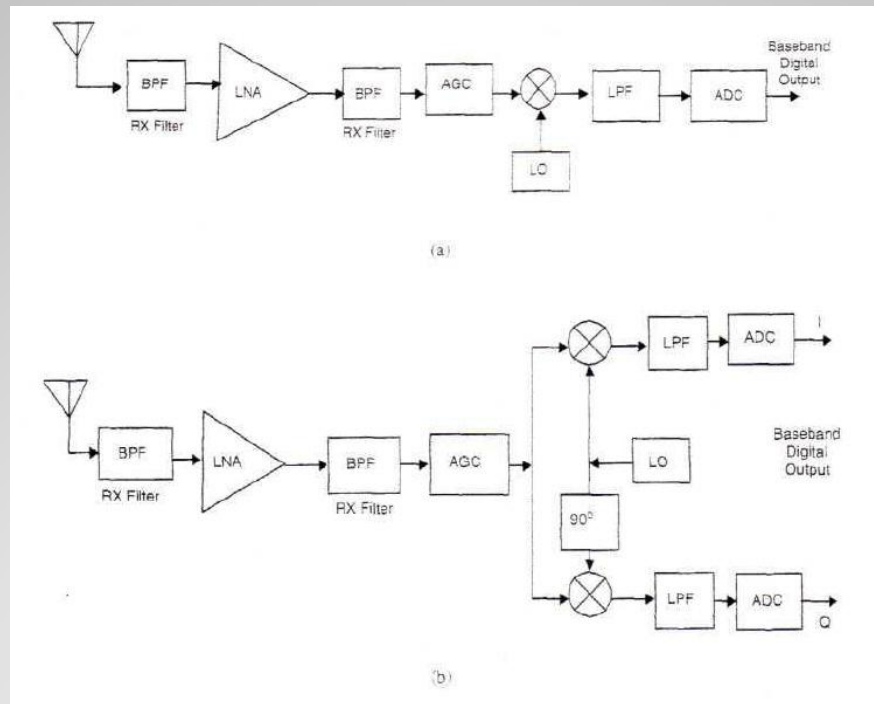


Miks üldse digital?

- Täielik kontroll signaali üle
- Paindlikkus
- Uuendatavus / ümberkonfigureeritavus
- Matemaatiline töötlus, mis analoogis oleks ebaratsionalne (phase dithering, konfigureeritavad filtrid jne.)

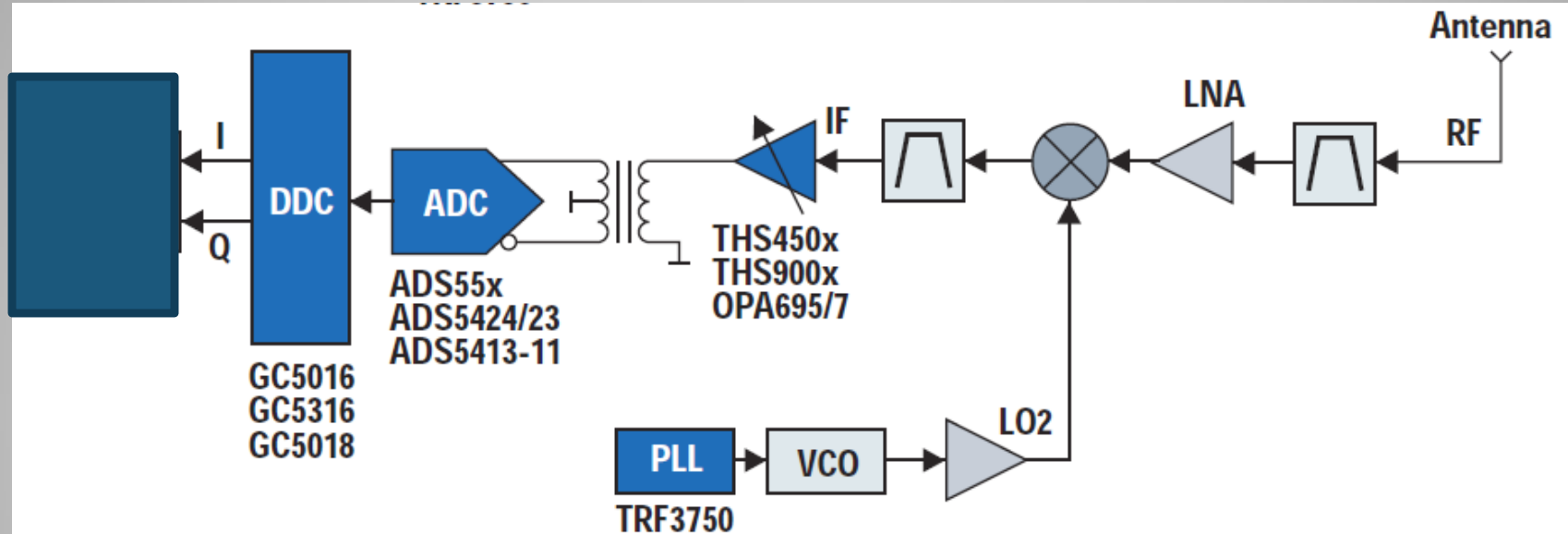
Miks üldse digital?

- Amp – Analog Downconverter - Helikaart
- Fixed või reguleeritav LO
- Tavaliselt ADC asub alles helikaardil



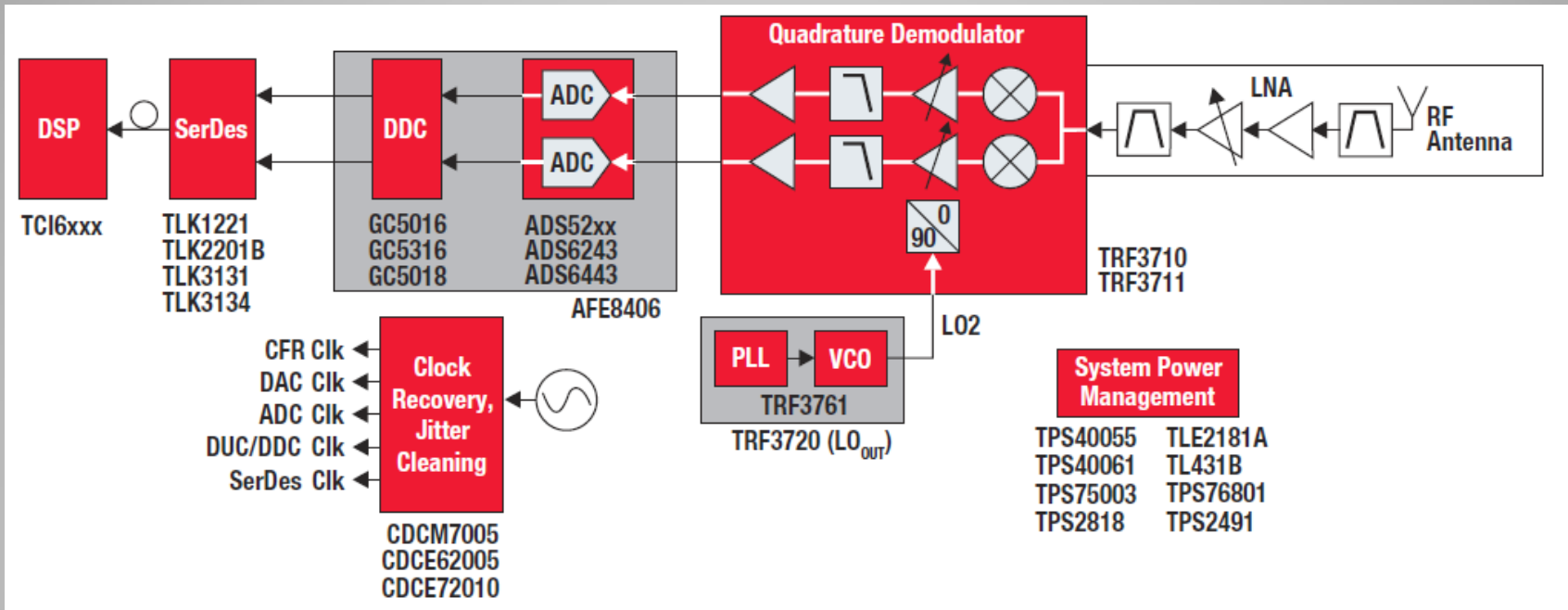
Põlvkond 1 (Soft66 jne)

- Amp – ADC – Digital Downconverter (silicon või FPGA) - Arvuti



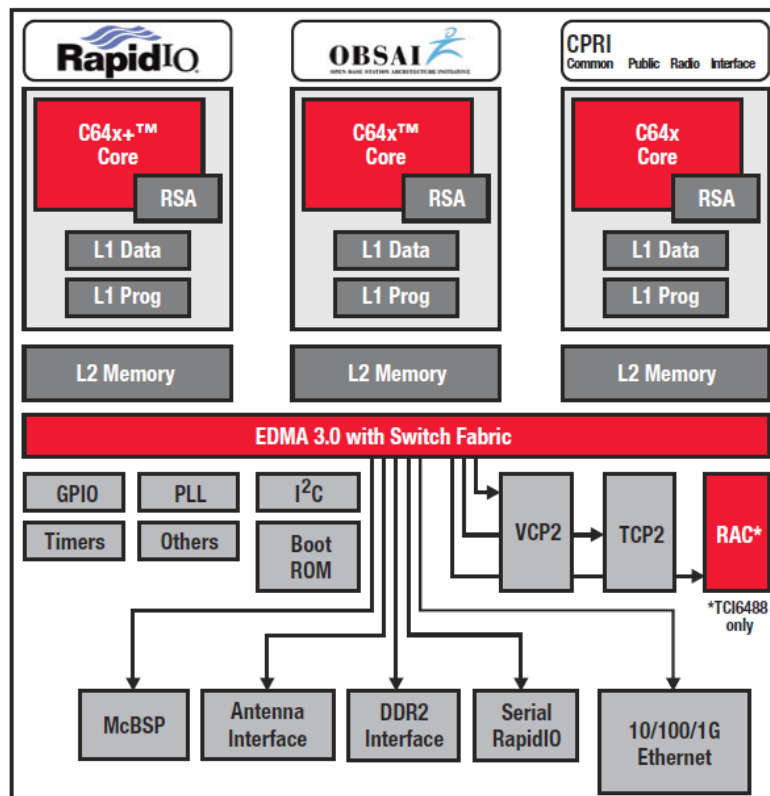
Põlvkond 2

- Amp – ADC – Digital Downconverter (FPGA) – DSP - arvuti



Põlvkond 3

- Amp – ADC – DSP – ?

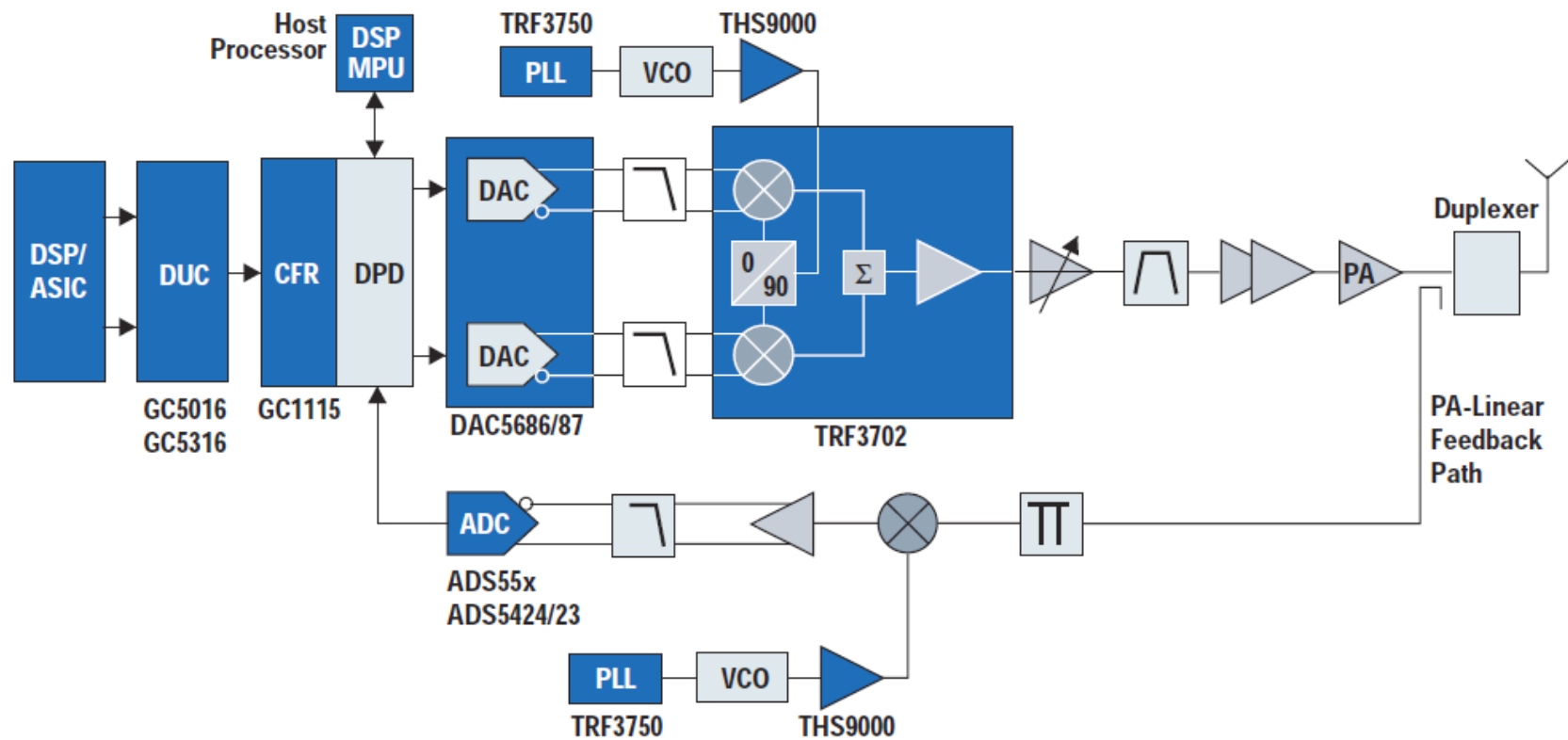


TMS320TC16487/8 block diagram.

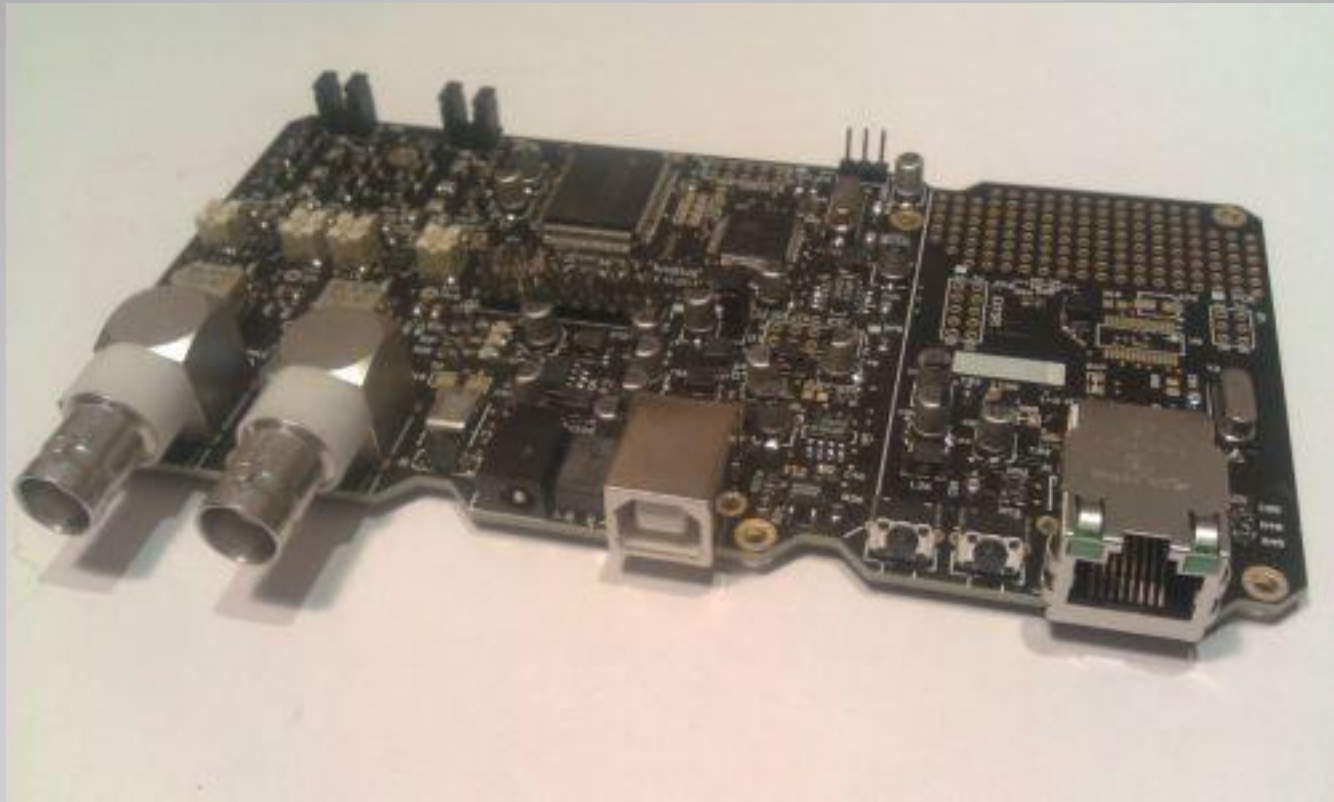
Key Features

- Three cores at 1 GHz each
- Total of 3 MB on-chip L2 SRAM/cache
- Standard C64x+ DSP core
- Dedicated receiver accelerator coprocessor (RAC) – TC16488 only
- Second-generation Viterbi (VCP2) and Turbo (TCP2) decoder coprocessors
- Chip-rate Rx functions (preamble detect, path search and finger despread)

Täna õhtul (andmesides)



Saatja - Lihtne või keeruline?!



SDR MK1.5

- 5kHz .. 32MHz
- Kaks sõltumatut faasisünkroonis kanalit
- Diversity reshiim (kanalite üksteisest lahutamine)
- USB ja võrguliides
- Max ribalaius 48kHz USB audio, 192kHz USB data, 400kHz üle võrgu
- <http://uvb-76.net>

SDR MK1.5

- LNA, DVGA (40+dB, 0.5db step)
- ADC / DAC (1GSPS DAC, 14-16bit, 150MSPS ADC, 12-16bit)
- DDC
- FPGA
- Digital Filter (0..30MHz lowpass, 1MHz step)
- DSS (1GSPS)
- Upconverterid, downconverterid (400MHz kuni 6GHz)

Ehituskivid täna, mainstream